**1.) ¿Qué elementos digitales harán falta? Asignar elementos al esquema.**

Para realizar un CDMA hará falta usar memorias, registros, divisores de bits y, probablemente, puertas lógicas y triestados.

- Las memorias tendrán los datos almacenados.

- Los registros, los usaremos como almacenamiento intermedio de los datos.

- Los divisores de bits lo usaremos para seleccionar los bits que nos interesen de los registros.

- Las puertas lógicas y los triestados los usaremos para el flujo de datos entre los registros y memorias.

**2.) ¿Cuál será el elemento digital encargado de controlar todo? ¿Cómo lo "programaremos"?**

El elemento encargado de controlar todo el sistema será un decodificador encargado de seleccionar las funciones a ejecutar por el sistema. Detrás de este decodificador tendríamos un contador encargado de establecer la fase en la que nos encontramos y que trabajaría como "director de orquesta" de todo el sistema.

**3.) Dibujar un cronograma sencillo del funcionamiento de las dos fases (Entrada y Salida). Incluir las señales de control y los buses.**

Entrada:

El bus de direcciones selecciona la dirección donde se depositará el dato, por lo tanto, el DMA REQ se activará a la vez que el MEM R/W se pondrá en modo de lectura, para leer el dato del exterior y depositarlo en el bus de datos. En caso de que se produzca una interrupción, ésta será tratada con prioridad a la entrada de datos inicial.

Salida:

El bus de direcciones selecciona la dirección desde la cual se lee el dato, por lo tanto, el DMA REQ se activa a la vez que el MEM R/W se pondrá en modo escritura, para escribir el dato en el exterior del sistema que será leído del bus de datos. En caso de que se produzca una interrupción, ésta será tratada con prioridad a la salida de datos inicial.

**4.) ¿Cómo se programará el DMA desde la CPU? Determinar secuencia de pasos y cronograma.**

El programa del DMA necesitará saber el número de página y el segmento en el que se encuentra el dato (tanto para escritura como para lectura). Con estos datos, será capaz de acceder a la jerarquía de memoria para obtener/escribir los datos necesarios en las posiciones establecidas por el segmento y la página obtenidas.

No he encontrado más información debido a que no se data nada sobre este tema ya que los fabricantes no dan ningún tipo de información para no favorecer a la competencia.

**5.) ¿Cómo se coordinará el acceso a memoria en un DMAC donde se puedan requerir diversos accesos al mismo tiempo? (Atender a criterios de prioridad y momento de solicitud).**

El acceso a memoria en un DMAC estará coordinado mediante un sistema de colas con prioridades de forma que el proceso con más prioridad será el primero en acceder a dicho DMAC.

**6.) ¿Qué elementos serán necesario incorporar al esquema funcional para que esta coordinación se lleve a cabo?**

Para incorporar el sistema de prioridades será necesario incluir un multiplexor para elegir la salida correcta en función de la prioridad que tenga cada proceso al solicitar acceso al DMAC. También sería necesario un framework de inicialización a la hora de conectar un nuevo dispositivo de almacenamiento.